

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000101097 A**(43) Date of publication of application: **07.04.00**

(51) Int. Cl. **H01L 29/80**
G01R 31/28
H01L 29/00

(21) Application number: **10264492**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **18.09.98**(72) Inventor: **MASUDA SATORU**

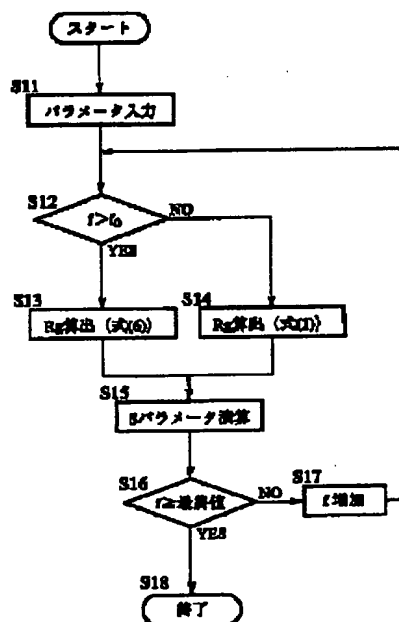
(54) **METHOD, AND ITS DEVICE FOR SIMULATING
CIRCUIT OF FIELD EFFECT TRANSISTOR**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a circuit simulation method for calculating the frequency characteristics of a field effect transistor using an equivalent circuit in which the characteristics of field effect transistor can be represented highly accurately even in high frequency region.

SOLUTION: In the circuit simulation method for calculating the frequency characteristics of a field effect transistor using an equivalent circuit, resistance of gate electrode is calculated while taking account of effective decrease of cross-sectional area of a gate electrode due to skin effect in high frequency region and then the frequency characteristics of the field effect transistor are calculated using the resistance of gate electrode.

COPYRIGHT: (C)2000,JPO



Our Ref: 2001FJ594

Translation of

Japanese Patent Application, Publication No. 2000-101097

Date of Publication: 07 Apr. 2000

Date of Application: 18 Sept. 1998

Application No: 10-264492

Applicant: Fujitsu Ltd.

Inventor: Satoru Masuda

[Title of Invention]:

Circuit Simulation Method, Apparatus, and Model for simulating a Field Effect Transistor

[Abstract]

[PURPOSE] To provide a circuit simulation method, apparatus and model for simulating a field effect transistor for estimating a frequency dependence of performances of a field effect transistor via an equivalent circuit, with which, it is particularly able to approximate the frequency dependence in a high frequency region to such a high level of accuracy as has been impossible to attain with a prior art.

[CONSTITUTION] In association with a method of simulating a frequency dependence of performances of a field effect transistor by use of an equivalent circuit, the method according to the invention, in particular, approximates the frequency dependence of the field effect transistor characteristics based on a resistance value of a gate electrode which is calculated incorporating the contribution of a practical reduction in the cross-sectional area of the gate electrode due to the skin effect exerted in association with a current of a high frequency region.

[Scopes of Claims]

[Claim 1] A method for a circuit simulation of a field effect transistor for estimating a frequency dependence of the characteristics of a field effect transistor using an equivalent circuit, in particular, comprising:

deriving magnitude of the resistance of a gate electrode incorporating the contribution of an effective reduction in the cross-sectional area of the gate electrode due to a skin effect exerted in a high frequency region, and

estimating the characteristics of the field effect transistor at various frequencies basing on the magnitude of the gate electrode resistance.

[Claim 2] The method of simulating a field effect transistor circuit according to claim 1, in which, in particular, the magnitude of the gate electrode resistance is derived as a function of:

the magnetic permeability of the material constituting the gate electrode;

the specific resistance of the material constituting the gate electrode;
 the thickness of the gate electrode; and
 the width of the gate electrode;

[Claim 3] The method of simulating a field effect transistor circuit according to claim 2, in which, in particular, the magnitude of the gate electrode resistance is defined by the function:

$$R_g = \frac{R_{g0} wt}{2(t+w)} \times \left(\frac{1}{\delta} + \frac{2}{t+w-2\delta} \right)$$

wherein, R_g being the resistance of the gate electrode;

μ being the magnetic permeability of the gate electrode material;

ρ being the specific resistance of the gate electrode material;

t being the thickness of the gate electrode;

w being the width of the gate electrode; and

δ being the thickness of the area where an electric current flows.

[Claim 4] The method of simulating a field effect transistor circuit according to either of claims 1, 2 or 3, in which, in particular, the equivalent circuit is an equivalent circuit described by using lumped constants.

[Claim 5] The method for simulating a field effect transistor circuit according to either of claims 1, 2 or 3, in which, in particular, the equivalent circuit is configured by a gate electrode, a drain electrode and a source electrode of which at least one of the electrodes is described by using distributed constants.

[Claim 6] An apparatus for a circuit simulation of a field effect transistor for estimating a frequency dependence of the characteristics of a field effect transistor using an equivalent circuit, in particular, comprising:

a means for storing a program for deriving a magnitude of the resistance of a gate electrode incorporating the contribution of an effective reduction in the cross-sectional area of the gate electrode due to a skin effect exerted in a high frequency region,

a means for deriving the gate electrode of the gate electrode by reading out and executing said program, and

a means for estimating the characteristics of the field effect transistor at various frequencies basing on the magnitude of the resistance of the gate electrode.

[Claim 7] A circuit simulation model of a field effect transistor for estimating a frequency dependence of the characteristics of a field effect transistor using an equivalent circuit, in which, in particular, the magnitude of the resistance of the gate electrode of the field effect transistor is derived incorporating the contribution of an effective reduction in the cross-sectional area of the gate electrode due to a skin effect exerted in a high frequency region.

[Detailed explanation of the invention]

[0001]

[Field of the technology] This invention is concerned with circuit simulation of a field effect transistor for estimating the frequency dependence of a field effect transistor characteristics by means of using an equivalent circuit, and, in particular, with a circuit simulation method, a circuit simulation apparatus and a circuit simulation model which are capable of estimating the characteristics of a field effect transistor at a high level of accuracy even when it is operating in a high frequency region.

[0002]

[The prior technology] Semiconductor elements made from compound semiconductor materials are widely used in assembling commercial products, particularly in product assemblies requiring an operation at a high frequency or a high-speed, because of the high electron mobility inherent in compound semiconductor materials. Field effect transistors such as MESFET and HEMT are well known examples of compound semiconductor elements and, in recent years, increasing amount of efforts are put into studies for configuring large scale integrated circuits (LSI) and high-frequency circuits using these field effect transistors.

[0003] In association with a process of designing whole of an LSI circuit or a high-frequency circuit incorporating field effect transistors, it is considered a general practice to use a circuit simulation model for estimating the measured values of the characteristics (such as the S parameter) of a field effect transistor at a stage of designing the entire circuit. And for this reason, it is an extremely important issue how to constitute a simulation model which is capable of estimating the frequency characteristics of a field effect transistor at a high level of accuracy in order to be successful in designing LSIs and high-frequency circuits.

[0004] It is well known and commonly practiced for sometime to use an equivalent circuit of a lumped constant type or of a distributed constant type, which takes into account an electrode length factor for expressing the frequency characteristics of a field effect transistor. In the case of an equivalent circuit of a lumped constant type, for example, as shown in Fig.5, a circuit model is configured from a gate resistor R_g , a drain resistor R_d , a source resistor R_s , a gate inductance L_g , a drain inductance L_d , a source inductance L_s , a gate-drain capacitance C_{gd} , a gate-source capacitance C_{gs} , a source-drain capacitance C_{ds} , a drain conductance G_d , a mutual conductance G_m , and a channel resistance R_{is} , and then the circuit model is used for deriving the S parameter of a field effect transistor by giving these variables values empirically determined so that the circuit for the simulation gives estimation results that match with the actually measured characteristics of the field effect transistor.

[0005] In the case of using an equivalent circuit of a distributed constant type, an example of which is shown in Fig.6, a model circuit is configured from a gate resistor of which the unit length resistance is

R_{g_0} , a drain resistor of which the unit length resistance is R_{d_0} , a source resistance R_s , a gate

inductances of which the unit length inductance is L_{g_0} , a drain inductances of which the unit length inductance is L_{d_0} , a source inductance L_s , the Y parameter of a true region Y, a gate-drain capacitance of which the unit length capacitance is C_{gd_0} , a gate-source capacitances of which the unit length capacitance is C_{gs_0} , a source-drain capacitances of which the unit length capacitance is C_{ds_0} , a drain conductance of which the unit length conductance is g_{d_0} , a mutual conductance of which the unit length conductance is g_{m_0} , and a channel resistance of which the unit length resistance is R_{is_0} , thus containing distributed constants, and the S parameter of a field effect transistor is derived by giving these variables with values that match with the measured values of the field effect transistor, correspondingly. (for more details of equivalent circuits of a distributed constant type, see for example, S. J. Nash, A. Platzker and W. Struble, "Distributed small signal model for multifingered GaAs PHEMT/MESFET devices", IEEE Microware and Millimeter-Wave Monolithic Circuits Symposium, 1996).

[0006] Independently from above, there are some other circuit simulation models proposed for approximating more accurately the frequency characteristics of a field effect transistor, in which empirically-determined frequency-dependent functions are employed to represent the gate resistance R_g constituting an equivalent circuit of either the lumped constant type or the distributed constant type. An example of such empirically-determined frequency-dependent functions to represent the gate resistance R_g is as follows.

$$R_g = R_0 \times \cosh(R_{se} \times f),$$

wherein, R_0 and R_{se} are constants and f is a frequency.

[0007]

[Problems to be solved by the invention] The above described prior art simulation models, employing equivalent circuits of a lumped constant type or of a distributed type, do not achieve a sufficient level of accuracy in a high-frequency region as they do not take into account the influences associated with waves in a high-frequency region. The above described prior art simulation models in which the gate resistance R_g is represented by a frequency-dependent function, is capable of reproducing accurately the characteristics of a field effect transistor for a wave of a certain high-frequency region but the deviation from actually measured characteristics of the corresponding field effect transistor, is known to become larger for a wave in a higher-frequency region and achieve only a low level of accuracy for

a wave in a frequency region of 50 GHz and higher, because the function employed for a prior art simulation model is an empirically derived one and is not based on any physical theory.

[0008] The objective of the present invention is to offer a method and an apparatus for a circuit simulation of a field effect transistor, and a circuit simulation model of a field effect transistor, which are capable of approximating the characteristics of a field effect transistor at a high level of accuracy even when it is operating in a 50 GHz and higher frequency region.

[0009]

[Means for solving the problems] The above objective is achieved by a method of a circuit simulation of a field effect transistor, which estimates the frequency characteristics of the field effect transistor by using an equivalent circuit, in which, in particular, the frequency characteristics are estimated based on the magnitude of a gate electrode resistance derived by taking account of a reduction in the effective cross-sectional area due to a skin effect exerted in a high frequency region. It is possible to simulate the frequency characteristics of a field effect transistor at a higher level of accuracy by this way as the magnitude of a gate electrode resistance is derived here by taking into account a skin effect, which is a physical phenomenon exerted in a high frequency region, than the level of accuracy achieved by a prior art method in which the magnitude of the gate electrode resistance is represented by an assembly of empirically determined components.

[0010] The above mentioned method of a circuit simulation of a field effect transistor may be configured such that the magnitude of a gate electrode resistance is calculated by a function of parameters including the magnetic permeability and specific resistance of a gate electrode material, and the thickness and width of the gate electrode. In particular, the above mentioned function which is associated with the method of a circuit simulation of a field effect transistor may be a following function.

$$R_g = R_{g0} \frac{wt}{2(t+w)} \times \left(\frac{1}{\delta} + \frac{2}{t+w} - 2\delta \right),$$

wherein, R_g is the magnitude of the resistance of a gate electrode.

μ is the magnetic permeability of the material of the gate electrode.

ρ is the specific resistance of the material of the gate electrode.

t is the thickness of the gate electrode.

w is the width of the gate electrode.

δ is the thickness of the current flowing area.

[0011] Alternatively, the equivalent circuit associated with the above method of a circuit simulation of a field effect transistor may be an equivalent circuit described by lumped constants. Alternatively, the equivalent circuit associated with the above method of a circuit simulation of a field effect transistor may be an equivalent circuit of which at least one of gate electrodes, drain electrodes and a source

electrode is described by distributed constants.

[0012] The above objective may alternatively be achieved by a simulation circuit apparatus of a field effect transistor for estimating frequency characteristics of a field effect transistor by use of an equivalent circuit, which comprises, in particular:

a means for storing a program for deriving a resistance value of a gate electrode incorporating the contribution of a reduction in an effective cross-sectional area of the gate electrode due to the skin effect inherent to a wave of a high frequency region,

a means for deriving the gate electrode of the gate electrode by retrieving and operating along said program, and

a means for estimating the performances of the field effect transistor at various frequencies basing on the resistance value of the gate electrode.

[0013] The above objective may alternatively be achieved by a circuit simulation model of a field effect transistor for estimating frequency dependence of the characteristics of a field effect transistor using an equivalent circuit, in which, in particular, the magnitude of the resistance of a gate electrode of the field effect transistor is determined taking into account a reduction in the effective cross-sectional area of the gate electrode due to a skin effect exerted in a high frequency region.

[0014]

[Embodiments of the invention] Below is explanations about a method of a circuit simulation and about a circuit simulation model of a field effect transistor according to an embodiment of the present invention, provided along with Fig.1 – Fig.6. Fig.1 is a cross-sectional view showing schematically the structure of a field effect transistor and the associated skin effect. Fig.2 is a flowchart showing the method of a circuit simulation according to an embodiment of the present invention. Fig.3 is a chart showing the frequency dependence of the S parameter of a field effect transistor. Fig.4 is a block diagram showing a circuit simulation apparatus according to an embodiment of the present invention. Fig.5 is a drawing of a lumped-constant-type equivalent circuit of a field effect transistor. And Fig.6 is a drawing of a distributed-constant-type equivalent circuit of a field effect transistor.

[0015] Firstly, the circuit simulation model according to an embodiment of the present invention is explained along with Fig.1. The structure illustrated in Fig.1 is a generalized expression of structures of field effect transistors composed of a compound semiconductor such as MESFET and HEMT and is assumed as a base for configuring a circuit simulation model. In particular, assumed here is a field effect transistor which has T-shaped gate electrodes 16 each comprising a contact area 12 for connecting to a semiconductor substrate 10 and a wiring area 14 disposed on the contact area 12.

[0016] When a current flowing through the gate electrode 16 is a direct current or a wave of a low frequency region, the current is distributed evenly across all the cross-sectional area of the gate electrode 16. And the magnitude of the gate resistance can be represented by the resistance

corresponding to the wiring area 14. Namely, the gate resistance for a unit length R_{g_0} is expressed by

the following formula, in which the cross-sectional area is given by S , thickness and width of the wiring area by t and w respectively and the specific resistance of the gate electrode material by ρ .

$$R_{g_0} = \rho / S = \rho / (t + w) \quad \dots (1)$$

[0017] When, on the other hand, the current is a wave of a high frequency region, a skin effect is known to be exerted and the current of the high frequency region flows only within an area limited to positions near to the surface of the gate electrode 16 leaving its inside area with no current flowing through. Here, the thickness of the current flowing surface area δ is expressed by the following formula for a magnetic permeability μ , a specific resistance of the gate electrode material ρ , a frequency f and the circular constant π .

$$\delta = (2\pi\mu f / 2\rho)^{-1/2} = A \times f^{-1/2}, \quad \text{here, } A = (\rho / \pi\mu)^{1/2} \quad \dots (2)$$

[0018] Accordingly, assuming the condition of $w > t$, when $\delta \geq 0.5 \times t$, the gate resistance R_g becomes equivalent to the gate resistance for a direct current R_{g_0} as a no-current area is not produced in the gate electrode. Namely,

$$R_g = R_{g_0} \quad \dots (3)$$

On the other hand, when $\delta < 0.5 \times t$, a no-current area 18 emerges as shown in Fig.1 (b) and the gate resistance becomes larger. The cross-sectional area of the current flowing area S_f is expressed by:

$$S_f = wt - (t - 2\delta) \times (w - 2\delta), \quad \dots (4)$$

hence the gate resistance R_g is expressed as:

$$R_g = R_{g_0} \times S / S_f \quad \dots (5)$$

This Formula (4) may be written as below when the cross-sectional areas S and S_f are expressed by using the thickness δ of the current flowing area as shown in Formula (1), the thickness t and the width w of the gate electrode 16.

$$R_g = R_{g_0} \frac{wt}{2(t+w)} \times \left(\frac{1}{\delta} + \frac{2}{(t+w-2\delta)} \right) \quad \dots (6)$$

[0019] Formula (6) expresses the magnitude of the gate resistance R_g in a form of a function associated with a physical phenomenon, a skin effect that is exerted with an electric current of a high frequency region as well as being a function of the magnetic permeability μ , the specific resistance of the gate electrode material ρ , the thickness t and the width w of the gate electrode 16 and the frequency f of the current. As a result of this, the value of S parameter of a field effect transistor, being derived from a corresponding equivalent circuit of the lumped constant type or of the distributed constant type and

from the R_g calculated from Formula (6), becomes that of higher accuracy than that obtained according to a method of a prior art which is associated with a manner of approximating the magnitude of the gate resistance from empirically obtained components.

[0020] It should be noted that Formula (6) is a function associated with the square root value of the frequency of a current wave, and hence, it is desirable to express the magnitude of the gate resistance by a function of a square root of the frequency value, when it is to reflect the influence of a skin effect exerted in association with a wave of a high frequency region. An explanation on the method of a circuit simulation using the above described circuit simulation model is made in the following along with Fig.2.

[0021] Fig.2 is a flowchart showing a method of a circuit simulation according to an embodiment of the present invention, in which the simulation is performed by a CPU in accordance with the circuit simulation model as defined by Formula (6). Firstly, parameter values, the specific resistance of the gate electrode material ρ and the thickness t , width w and magnetic permeability μ of the gate electrode are inputted as being required to calculate the gate resistance R_g . At the same time values of the other parameters than R_g are inputted as being required for deriving the S parameter of a field effect transistor (step S11).

[0022] Next, the frequency f_0 at which a skin effect starts to be exerted is calculated in correspondence to the values inputted for the above described parameters. As the frequency f_0 is the value of the frequency f shown in Formula (2) when $\delta = 0.5t$, it is expressed as follows.

$$f_0 = \frac{\rho}{\pi\mu\delta^2} = \frac{\rho}{0.25 \times \pi\mu t^2} \quad \dots (7)$$

[0023] Next is a step for comparing the magnitude of the frequency f to be calculated and that of the frequency f_0 (step S12). The formula for calculating the magnitude of the gate resistance is selected in reference to the result of the magnitude comparison between f and f_0 . When $f > f_0$, i.e., when a skin effect being exerted, the gate resistance is expressed by Formula (6) (step S13). While, if $f \leq f_0$, a skin effect is not exerted and hence the gate resistance is expressed by Formula (1) (step S14).

[0024] In the next step, the S parameter of a field effect transistor is calculated using the gate resistance value R_g which is calculated in step S13 or step S14 (step S15). In performing the calculation of obtaining the S parameter, a lumped constant type equivalent circuit (Fig.5) or a distributed constant type equivalent circuit (Fig.6) may be employed. For example, when employing a distributed constant type equivalent circuit shown in Fig.6, the gate voltage V_g and the drain voltage V_d are given by the following two stage differential equations, respectively.

$$\begin{aligned} \frac{d^2 V_g}{dx^2} &= (R_g(f) + j\omega L_g)(Y_{11}V_g(x) + Y_{12}V_d(x)) \\ \frac{d^2 V_d}{dx^2} &= (R_d + j\omega L_d)(Y_{21}V_g(x) + Y_{22}V_d(x)). \end{aligned}$$

Here, Y_{ij} is the Y parameter of the intrinsic region for a unit gate width. Therefore, the S parameter of a field effect transistor is obtained from the above equations and the relevant set of the boundary conditions.

[0026] The next step is to determine whether the frequency value f at which the S parameter has been calculated is larger than the final value (step S16). If the frequency value f is not larger than the final value, the frequency value f is increased by a certain amount, for example by 1 GHz, and the steps of from S12 to S16 are repeated for a number of times as may be required (step S17). When the frequency value f is determined to be larger than the final value, the calculation is terminated (step S18).

[0027] In the manner as described above, the frequency dependence of the S parameter of a field effect transistor is derived, in which the influence of a skin effect exerted at a high frequency region is taken into consideration. Fig.3 is a chart showing the frequency dependence of the S parameter (S_{11} component) of a field effect transistor. In the chart, the chain line shows the S parameter calculated with the circuit simulation model according to this particular embodiment of the present invention, the dotted line shows the S parameter calculated according to the circuit simulation model produced by using an empirically derived formula for the gate resistance R_g , which is the prior art technology, and the solid line shows the actually measured S parameter values.

[0028] In the above, the actually measured S parameter values were obtained in association with an HEMT comprising a supply layer of InGaP and a channel layer of InGaAs layer, in which the gate length was 0.15μ , and the gate width was $80 \mu m$. The frequency characteristics measurements were conducted by using a vector network analyzer (Hewlett-Packard) which was functional for the frequency up to 75 GHz, with values set at $V_{ds} = 2$ V and $V_{gs} = -0.6$ V.

[0029] As becomes clear from the chart, the circuit simulation model of the prior art gave a good quality of simulation result for the frequency up to about 30 GHz but the deviation from the actually measure values increased at the frequency above about 30 GHz. In contrast, the circuit simulation model of the embodiment of the present invention, gave a good simulation quality even at the frequency above about 60 GHz. In the following, an example of the circuit simulation apparatus, which is a materialization of the circuit simulation method disclosed above as an embodiment of the present invention, is explained with reference to Fig.4.

[0030] Fig.4 is a block diagram showing a circuit simulation apparatus according to an embodiment of the present invention. The circuit simulation apparatus according to the embodiment of the present invention comprises various unit apparatuses which are connected to a common bus line 20, respectively. In particular, the unit apparatuses connected to the bus line 20 include a CPU 22, an ROM 24 for storing a control program, an RAM for storing a program for materializing the circuit simulation method, a display apparatus 28, a printer 30 and a disk apparatus 32.

[0031] Here, the operation of the circuit simulation apparatus according to the embodiment of the present invention is explained. The CPU 22 executes the control program having been stored in the

ROM 24 and controls operations of unit apparatuses of the entire system unit, such operations as reading out a circuit simulation program from the disk apparatus 32 and storing it into the RAM 26. The circuit simulation program may be a program for performing processes contained in the flowchart on the circuit simulation method according to the embodiment of the present invention and shown in Fig.2.

[0032] Then, the CPU 22 as well as controlling operations within the entire system by performing the control program having been stored in the ROM 24, executes the circuit simulation program having been stored in the RAM 26. Values required, in correspondence to variables, along the execution of the program may be inputted from a keyboard, which is not shown in the drawing, or may, alternatively, be obtained by reading out from the disk apparatus 32. The CPU uses the RAM 26 also as a working area.

[0033] Then, the CPU 22 as well as controlling operations within the entire system by performing the control program having been stored in the ROM 24, reads out, for instance, from the disk apparatus 32 and stores in the RAM 26, a program for deriving S parameter of a field effect transistor using either of a lumped constant type equivalent circuit or a distributed constant type equivalent circuit. The CPU 22, as well as controlling operations within the entire system by performing the control program having been stored in the ROM 24, then executes the program for deriving the S parameter, which has been stored in the RAM 26, by making reference to the magnitude of the gate resistance obtained by the program for executing processes as shown in a flowchart describing the circuit simulation method according to the embodiment of the present invention and derives the S parameter of the field effect transistor.

[0034] The CPU, then, stores the simulation result derived by performing the circuit simulation program into the disk apparatus 32. On completing all the simulation processes, the CPU 22 shows the simulation result on the display apparatus 28 and if so required prints out by the operation of the printer 30. In this way a circuit simulation using a circuit simulation model according to the embodiment of the present invention is accomplished.

[0035] According to the embodiment of the present invention, in this way, it becomes possible to approximate more accurately the S parameter of a field effect transistor than is possible with a prior art method in which empirically derived components are used to calculate magnitude of the gate resistance, as the method according to the embodiment is to calculate the magnitude of the gate resistance R_g with due consideration to a skin effect exerted in association with a current of a high frequency region and uses it for deriving the S parameter of the field effect transistor.

[0036] The embodiment of the present invention is not limited to the above specific embodiment but may be a variation stems from the embodiment. For example, a lumped constant type equivalent circuit shown in Fig.5 or a distributed constant type equivalent circuit shown in Fig.6 is employed as an alternative to each other for deriving the S parameter of a field effect transistor in the case of the above embodiment, but any other type of an equivalent circuit may be employed in its place providing

the equivalent circuit uses the gate resistance R_g .

[0037] The distributed constant type equivalent circuit shown in Fig.6, is constituted from gate electrodes (of which the gate resistance is R_g and the gate inductance is L_g) and a drain electrode (of which the drain resistance is R_d and the drain inductance is L_d) which are described by distributed constants, the source electrodes (of which the source resistance is R_s and the source inductance is L_s) may also be described by distributed constants. Or alternatively, only one or two arbitrary chosen from the gate, drain and source electrodes may be described by distribution constants.

[0038] The above embodiment of the present invention is concerned with a case in which the present invention is applied to a T-shaped gate electrode, the electrode may, however, be of other construction than the T-shaped one. The present invention is concerned fundamentally with a configuration in which a skin effect exerted in association with a current of a high frequency region is taken into consideration in calculating the gate resistance and therefore is not limited to the scopes shown by the flowchart in Fig.2 or by the apparatus in Fig.4.

[0039]

[Effect of the invention] As becomes clear from the above description, according to the present invention, in association with a method of a circuit simulation for estimating the frequency characteristics of a field effect transistor using an equivalent circuit, the frequency characteristics are estimated using the magnitude a gate electrode resistance derived by taking into account a reduction in the effective cross-sectional area due to a skin effect exerted in association with a high frequency region. It becomes possible to simulate the frequency characteristics of a field effect transistor at a higher level of accuracy, as in this way the method is in accordance with a physical phenomenon exerted at a high frequency region, than levels of accuracy achieved by any prior art methods in which the gate electrode resistance is approximated by assembling empirically determined components.

[Brief explanation of drawings]

[Fig.1] Schematic diagram for explaining the structure of and the skin effect exerted in a field effect transistor

[Fig.2] Flowchart of the circuit simulation method according to an embodiment of the present invention

[Fig.3] Chart showing the frequency dependence of the S parameter of a field effect transistor

[Fig.4] Block diagram showing the circuit simulation apparatus according to an embodiment of the present invention

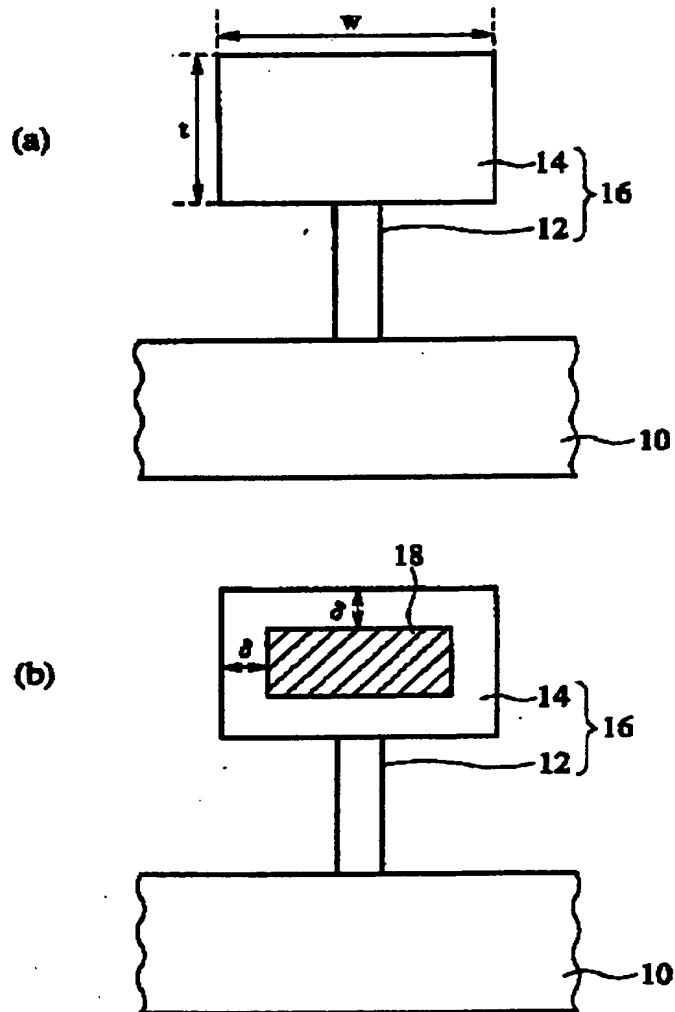
[Fig.5] Drawing to show a lumped constant type equivalent circuit of a field effect transistor circuit

[Fig.6] Drawing to show a distributed constant type equivalent circuit of a field effect transistor circuit

[Explanation of codes]

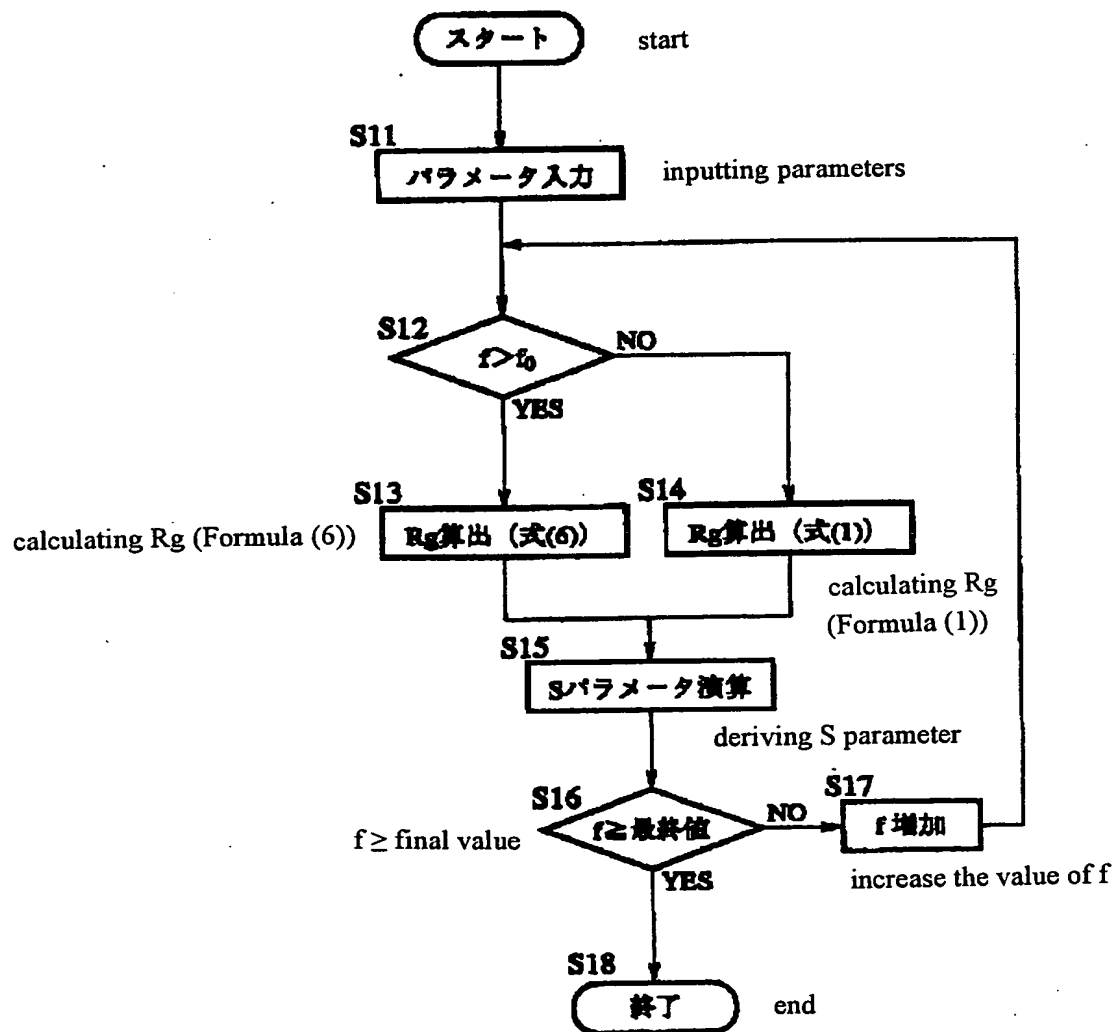
R_g : gate resistance	10 : semiconductor substrate
R_d : drain resistance	12 : contact area
R_s : source resistance	14 : wiring area
L_g : gate inductance	16 : gate electrode
L_d : drain inductance	18 : no-current area
L_s : source inductance	20 : bus line
C_{gs} : gate-source capacitance	22 : CPU
C_{gd} : gate-drain capacitance	24 : ROM
C_{ds} : drain-source capacitance	26 : RAM
g_d : drain conductance	28 : display apparatus
g_m : mutual conductance	30 : printer
R_{is} : channel resistance	32 : disk apparatus

[Fig.1] Schematic diagram for explaining the structure of and the skin effect exerted in a field effect transistor

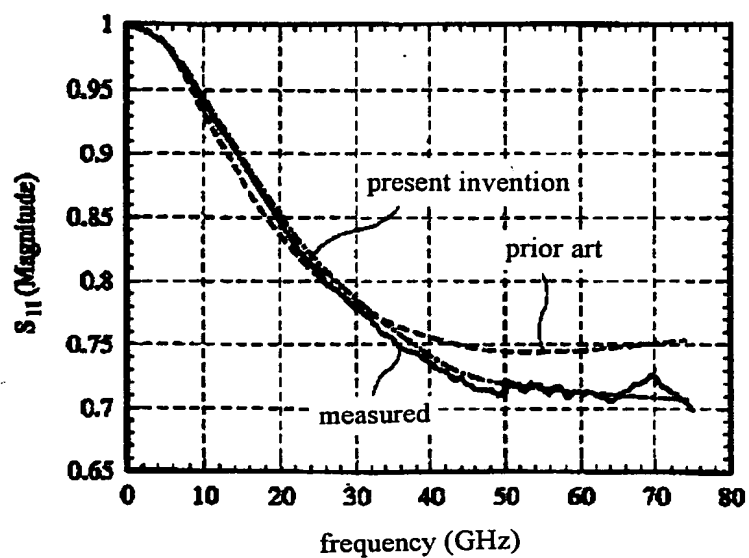


- 10 : semiconductor substrate
- 12 : contact area
- 14 : wiring area
- 16 : gate electrode
- 18 : no-current area

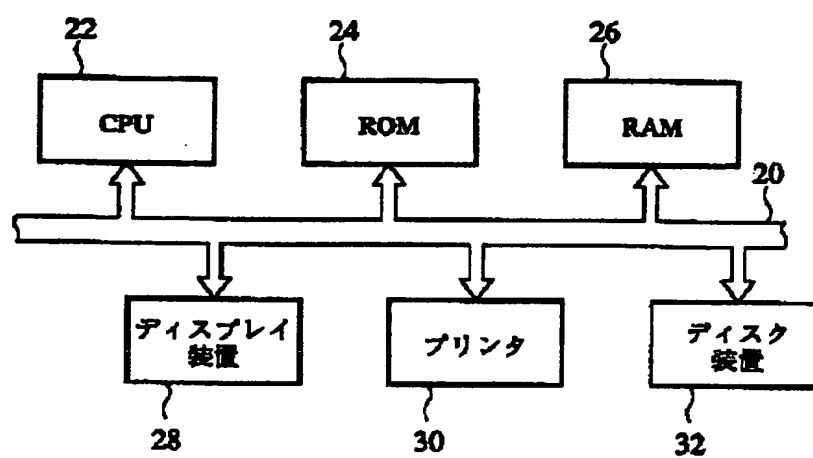
[Fig.2] Flowchart of the circuit simulation method according to an embodiment of the present invention



[Fig.3] Chart showing the frequency dependence of the S parameter of a field effect transistor

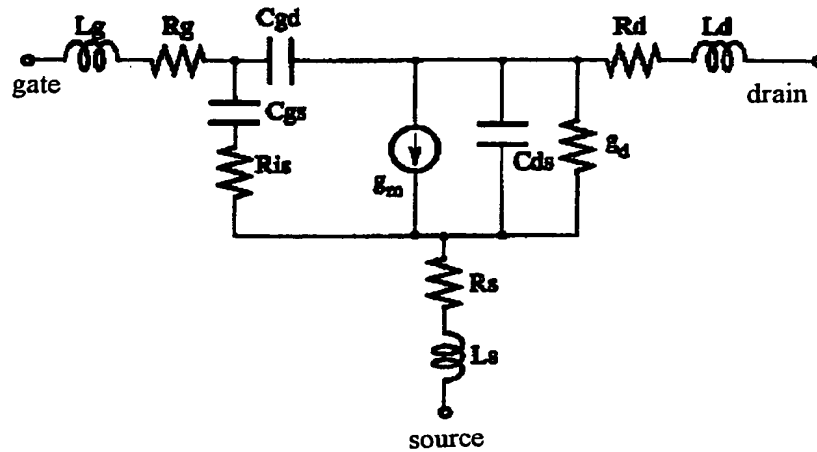


[Fig.4] Block diagram showing the circuit simulation apparatus according to an embodiment of the present invention



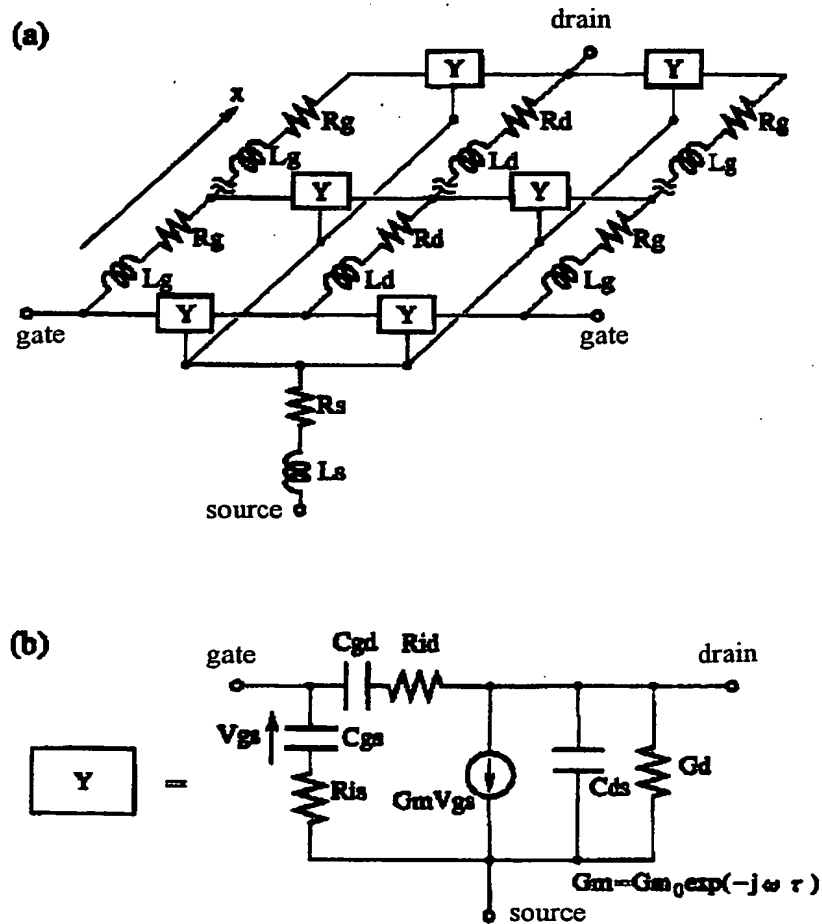
- 20 : bus line
- 22 : CPU
- 24 : ROM
- 26 : RAM
- 28 : display apparatus
- 30 : printer
- 32 : disk apparatus

[Fig.5] Drawing to show a lumped constant type equivalent circuit of a field effect transistor circuit



- R_g : gate resistance
- R_d : drain resistance
- R_s : source resistance
- L_g : gate inductance
- L_d : drain inductance
- L_s : source inductance
- C_{gs} : gate-source capacitance
- C_{gd} : gate-drain capacitance
- C_{ds} : drain-source capacitance
- g_d : drain conductance
- g_m : mutual conductance
- R_{is} : channel resistance

[Fig.6] Drawing to show a distributed constant type equivalent circuit of a field effect transistor circuit



R_g : gate resistance
 R_d : drain resistance
 R_s : source resistance
 L_g : gate inductance
 L_d : drain inductance
 L_s : source inductance

C_{gs} : gate-source capacitance
 C_{gd} : gate-drain capacitance
 C_{ds} : drain-source capacitance
 G_d : drain conductance
 G_m : mutual conductance
 R_{is} : channel resistance

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-101097

(P 2000-101097A)

(43) 公開日 平成12年4月7日 (2000. 4. 7)

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
H 0 1 L	29/80	H 0 1 L	29/80
G 0 1 R	31/28		29/00
H 0 1 L	29/00	G 0 1 R	31/28
			Z 2G032
			5F102
			F

審査請求 未請求 請求項の数 7

O L

(全 8 頁)

(21) 出願番号 特願平10-264492

(22) 出願日 平成10年9月18日 (1998. 9. 18)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 増田 哲

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 100087479

弁理士 北野 好人

F ターム (参考) 2G032 AA07 AC08 AD04 AE12
5F102 FB10 GC01 GS04

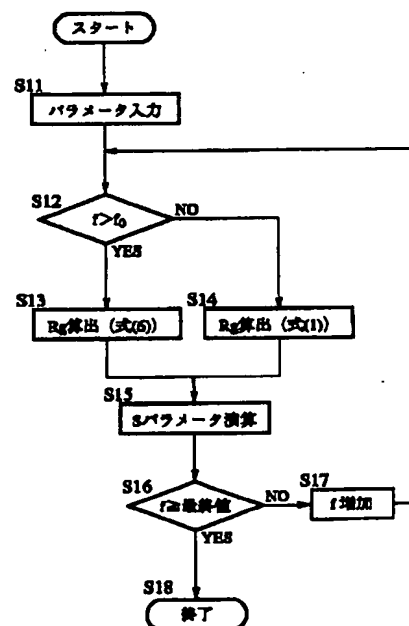
(54) 【発明の名称】 電界効果トランジスタの回路シミュレーション方法及び装置並びに回路シミュレーションモデル

(57) 【要約】

【課題】 電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーションに関し、高周波領域においても高精度に電界効果トランジスタの特性を表現しうる電界効果トランジスタの回路シミュレーション方法及び装置並びに回路シミュレーションモデルを提供する。

【解決手段】 電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション方法において、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮してゲート電極の抵抗値を算出し、このゲート電極の抵抗値を用いて電界効果トランジスタの周波数特性を計算する。

本発明の一実施形態による回路シミュレーション方法を示すフローチャート



【特許請求の範囲】

【請求項 1】 電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション方法であって、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮して前記ゲート電極の抵抗値を算出し、前記ゲート電極の抵抗値を用いて前記電界効果トランジスタの周波数特性を計算することを特徴とする電界効果トランジスタの回路シミュレーション方法。

【請求項 2】 請求項 1 記載の電界効果トランジスタの回路シミュレーション方法において、前記ゲート電極の抵抗値は、前記ゲート電極を構成する材料の透磁率と、前記ゲート電極を構成する材料の比抵抗と、前記ゲート電極の厚さと、前記ゲート電極の幅を含む関数に基づいて算出することを特徴とする電界効果トランジスタの回路シミュレーション方法。

【請求項 3】 請求項 2 記載の電界効果トランジスタの回路シミュレーション方法において、前記関数は、前記ゲート電極の抵抗値を R_g 、前記ゲート電極を構成する材料の透磁率を μ 、前記ゲート電極を構成する材料の比抵抗を ρ 、前記ゲート電極の厚さを t 、前記ゲート電極の幅を w 、電流の流れる領域の厚さを δ として、

$$R_g = R_{go} w t / (2 (t + w)) \times (1 / \delta + 2 / (t + w - 2 \delta))$$

により表されることを特徴とする電界効果トランジスタの回路シミュレーション方法。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の電界効果トランジスタの回路シミュレーション方法において、前記等価回路は、集中定数により記述された等価回路であることを特徴とする電界効果トランジスタの回路シミュレーション方法。

【請求項 5】 請求項 1 乃至 3 のいずれか 1 項に記載の電界効果トランジスタの回路シミュレーション方法において、前記等価回路は、ゲート電極、ドレイン電極又はソース電極の少なくとも一つが分布定数により記述された等価回路であることを特徴とする電界効果トランジスタの回路シミュレーション方法。

【請求項 6】 電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション装置であって、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮して前記ゲート電極の抵抗値を算出するプログラムを格納する手段と、前記プログラムを読み出して実行し、前記ゲート電極のゲート電極を算出する手段と、前記ゲート電極の抵抗値に基づいて前記電界効果トラン

ジスタの周波数特性を算出する手段とを有することを特徴とする電界効果トランジスタの回路シミュレーション装置。

【請求項 7】 電界効果トランジスタの周波数特性を等価回路を用いて算出するための電界効果トランジスタの回路シミュレーションモデルであって、前記電界効果トランジスタのゲート電極の抵抗値として、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮した値を用いることを特徴とする電界効果トランジスタの回路シミュレーションモデル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーションに係り、特に、高周波領域においても高精度に電界効果トランジスタの特性を表現しうる電界効果トランジスタの回路シミュレーション方法及び装置並びに回路シミュレーションモデルに関する。

【0002】

【従来の技術】化合物半導体により構成される半導体素子は、化合物半導体の有する高い電子移動度を利用して、主として高周波動作、高速動作が必要とされる製品に広く用いられている。化合物半導体素子としては、従来より MESFET や HEMT などの電界効果型のトランジスタが広く知られており、近年、これら電界効果トランジスタを用いて大規模高集積回路や高周波回路を構成することが検討されている。

【0003】このような電界効果トランジスタを含む大規模高集積回路や高周波回路を設計する場合、電界効果トランジスタの周波数特性（例えば S パラメータ）の測定値を表現するためのシミュレーションモデルを用いて回路全体の設計をすることが行われている。このため、電界効果トランジスタの周波数特性を忠実に再現するシミュレーションモデルを如何にして構築するかが大規模高集積回路や高周波回路を設計するうえで極めて重要である。

【0004】従来より、電界効果トランジスタの周波数特性を表現するために、集中定数型等価回路や、電極の長さを考慮した分布定数型等価回路が広く利用されている。集中定数型等価回路では、例えば図 5 に示すように、ゲート抵抗 R_g 、ドレイン抵抗 R_d 、ソース抵抗 R_s 、ゲートインダクタンス L_g 、ドレインインダクタンス L_d 、ソースインダクタンス L_s 、ゲートドレイン間容量 C_{gd} 、ゲートソース間容量 C_{gs} 、ソースドレイン間容量 C_{ds} 、ドレインコンダクタンス G_d 、相互コンダクタンス G_m 、チャネル抵抗 R_{is} によりモデル回路を構成し、電界効果トランジスタの実測値に合わせこむようにしてこれら変数値を決定し、これらから電界効果

トランジスタのSパラメータを算出する。

【0005】分布定数型等価回路では、例えば図6に示すように、単位長さ当たりのゲート抵抗 R_{go} 、単位長さ当たりのドレイン抵抗 R_{do} 、ソース抵抗 R_s 、単位長さ当たりのゲートインダクタンス L_{go} 、単位当たりの長さのドレインインダクタンス L_{do} 、ソースインダクタンス L_s 、単位長さ当たりの真性領域のYパラメータ Y 、単位長さ当たりのゲートドレイン間容量 C_{gdo} 、単位長さ当たりのゲートソース間容量 C_{gso} 、単位長さ当たりのソースドレイン間容量 C_{dso} 、単位長さ当たりのドレインコンダクタンス g_{do} 、単位長さ当たりの相互コンダクタンス g_{mo} 、単位長さ当たりのチャネル抵抗 R_{is} により、分布定数を含むモデル回路を構成し、電界効果トランジスタの実測値に合わせこむようにしてこれら変数値を決定し、これらから電界効果トランジスタのSパラメータを算出する（分布定数等型価回路については、例えば、S. J. Nash, A. Platzker, and W. Struble, "Distributed small signal model for multifingered GaAs PHEMT/MESFET devices", IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium, 1996, を参照）。

【0006】また、上記集中定数型等価回路あるいは上記分布定数等型価回路のゲート抵抗 R_g に周波数依存性のある経験的な関数を適用し、電界効果トランジスタの周波数特性をより正確に表現しうる回路シミュレーションモデルも提案されている。ゲート抵抗 R_g に周波数依存をもたせた経験的な関数としては、例えば、 R_o 、 R_s 、 e を定数、 f を周波数として、 $R_g = R_o \times \cosh(R_s e \times f)$ により表される関数が適用されている。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の集中定数型等価回路や分布定数等型価回路を用いたシミュレーションモデルは高周波における影響に関して考慮されておらず、高周波領域における精度に欠けるものであった。また、ゲート抵抗 R_g に周波数依存性をもたせたシミュレーションモデルでは、ある程度の周波数領域までは電界効果トランジスタの特性を再現できるが、上記関数は物理学的背景を有しない経験的なものであり、50GHz以上の周波数では実際のトランジスタに対して誤差を生じ、精度が悪くなっていた。

【0008】本発明の目的は、電界効果トランジスタの特性を50GHz以上の周波数領域においても精度よく近似しうる電界効果トランジスタの回路シミュレーション方法及び装置並びに回路シミュレーションモデルを提供することにある。

【0009】

【課題を解決するための手段】上記目的は、電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション方法であつ

て、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮して前記ゲート電極の抵抗値を算出し、前記ゲート電極の抵抗値を用いて前記電界効果トランジスタの周波数特性を計算することを特徴とする電界効果トランジスタの回路シミュレーション方法によって達成される。このように算出したゲート電極の抵抗値は、高周波領域における表皮効果という物理的な効果を考慮しているため、経験的な成分によってゲート電極の抵抗値の合わせこみを行う従来の方法と比較して、より精度よく電界効果トランジスタの周波数特性を近似することができる。

【0010】また、上記の電界効果トランジスタの回路シミュレーション方法において、前記ゲート電極の抵抗値は、前記ゲート電極を構成する材料の透磁率と、前記ゲート電極を構成する材料の比抵抗と、前記ゲート電極の厚さと、前記ゲート電極の幅を含む関数に基づいて算出するようにしてもよい。また、上記の電界効果トランジスタの回路シミュレーション方法において、前記関数は、前記ゲート電極の抵抗値を R_g 、前記ゲート電極を構成する材料の透磁率を μ 、前記ゲート電極を構成する材料の比抵抗を ρ 、前記ゲート電極の厚さを t 、前記ゲート電極の幅を w 、電流の流れる領域の厚さを δ として、 $R_g = R_{go} w t / (2(t + w)) \times (1/\delta + 2/(t + w - 2\delta))$ により表すようにしてもよい。

【0011】また、上記の電界効果トランジスタの回路シミュレーション方法において、前記等価回路は、集中定数により記述された等価回路を適用することができる。また、上記の電界効果トランジスタの回路シミュレーション方法において、前記等価回路は、ゲート電極、ドレイン電極又はソース電極の少なくとも一つが分布定数により記述された等価回路を適用することができる。

【0012】また、上記目的は、電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション装置であつて、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮して前記ゲート電極の抵抗値を算出するプログラムを格納する手段と、前記プログラムを読み出して実行し、前記ゲート電極のゲート電極を算出する手段と、前記ゲート電極の抵抗値に基づいて前記電界効果トランジスタの周波数特性を算出する手段とを有することを特徴とする電界効果トランジスタの回路シミュレーション装置によっても達成される。

【0013】また、上記目的は、電界効果トランジスタの周波数特性を等価回路を用いて算出するための電界効果トランジスタの回路シミュレーションモデルであつて、前記電界効果トランジスタのゲート電極の抵抗値として、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮した値を用いることを特徴とする電界効果トランジスタの回路シミュレーションモデルによっても達成される。

【0014】

【発明の実施の形態】本発明の一実施形態による電界効果トランジスタの回路シミュレーション方法及び回路シミュレーションモデルについて図1乃至図6を用いて説明する。図1は電界効果トランジスタの構造及び表皮効果を説明する概略断面図、図2は本実施形態による回路シミュレーション方法を示すフローチャート、図3は電界効果トランジスタのSパラメータの周波数依存性を示すグラフ、図4は本実施形態による回路シミュレーション装置を示すブロック図、図5は電界効果トランジスタの集中定数型等価回路を示す図、図6は電界効果トランジスタの分布定数型等価回路を示す図である。

【0015】はじめに、本実施形態による回路シミュレーションモデルについて図1を用いて説明する。回路シミュレーションモデルの構築に当たり、MESFETやHEMTなどの化合物半導体よりなる電界効果トランジスタの一般的な構造として、図1に示す構造を仮定する。すなわち、半導体基板10にコンタクトするコンタ

$$\delta = (2\pi\mu f / 2\rho)^{-1/2} \\ = A \times f^{-1/2} \quad (\text{但し、} A = (\rho / \pi\mu)^{1/2}) \quad \dots (2)$$

として表される。

【0018】したがって、 $w > t$ とすると、 $\delta \geq 0.5 \times t$ のときは電流の流れない領域は発生せず、ゲート抵抗 R_g は直流抵抗 R_{go} と等価である。すなわち、

$$R_g = R_{go} \quad \dots (3) \quad *$$

$$Sf = wt - (t - 2\delta) \times (w - 2\delta) \quad \dots (4)$$

によって与えられるので、ゲート抵抗 R_g は、

$$R_g = R_{go} \times S / Sf \quad \dots (5)$$

となる。式(4)の断面積 S 、 Sf を、式(1)の電流 \star

$$R_g = R_{go} w t / (2(t + w)) \\ \times (1/\delta + 2/(t + w - 2\delta)) \quad \dots (6)$$

となる。

【0019】式(6)は、透磁率 μ 、ゲート材料の比抵抗 ρ 、ゲート電極16の厚さ t 、幅 w 、周波数 f を含み、高周波領域における表皮効果という物理的な効果を考慮したゲート抵抗 R_g を与える。したがって、式

(6)で求めたゲート抵抗 R_g を用いて集中定数型等価回路或いは分布定数型等価回路により電界効果トランジスタのSパラメータを求めることにより、経験的な成分によってゲート抵抗の合わせこみを行う従来の方法と比較して、より精度よく電界効果トランジスタのSパラメータを近似することができる。

【0020】なお、式(6)は、周波数の平方根を含む関数であり、高周波領域における表皮効果を表すモデルとしては、ゲート抵抗を周波数の平方根の関数で表すことが望ましいものと考えられる。次に、上記の回路シ

$$f_o = \rho / (\pi\mu\delta^2) = \rho / (0.25 \times \pi\mu t^2) \quad \dots (7)$$

となる。

【0023】次に、計算する周波数 f と周波数 f_o の大小を比較する(ステップS12)。次に、周波数 f と

*クト領域12と、コンタクト領域12上に形成された配線領域14よりなるT型のゲート電極16を有する電界効果トランジスタを考える。

【0016】直流或いは低周波領域では、ゲート電極16を流れる電流はゲート電極16の断面において均一に流れる。また、ゲート抵抗は配線領域14の抵抗により決定される。したがって、配線領域の断面積を S 、厚さを t 、幅を w 、ゲート電極材料の比抵抗を ρ とすると、単位長さ当たりのゲート抵抗 R_{go} は、

$$R_{go} = \rho / S = \rho / (t \times w) \quad \dots (1)$$

として表される。

【0017】一方、高周波領域では一般に表皮効果が現れることが知られており、高周波領域ではゲート電極16の表面領域においてのみ電流が流れ、ゲート電極16の内部では電流が流れなくなる。電流が流れる領域の厚さ δ は、 μ を透磁率、 ρ をゲート電極材料の比抵抗、周波数を f 、円周率を π として、

※となる。一方、 $\delta < 0.5 \times t$ となると、図1(b)に示すように電流の流れない領域18が形成され、ゲート抵抗 R_g は増加する。すなわち、電流の流れる領域の断面積 Sf は、

☆が流れる領域の厚さ δ 、ゲート電極16の厚さ t 、幅 w により表して書き直すと、

☆ミュレーションモデルを用いた回路シミュレーション方法について図2を用いて説明する。

【0021】図2は、式(6)によって表される回路シミュレーションモデルを用いてCPUが実行する本実施形態による回路シミュレーション方法を示すフローチャートである。まず、ゲート抵抗 R_g の演算に必要なパラメータとして、ゲート材料の比抵抗 ρ 、ゲート電極の厚さ t 、幅 w 、透磁率 μ を入力する。また、電界効果トランジスタのSパラメータの計算に必要なゲート抵抗 R_g 以外のパラメータも入力する(ステップS11)。

【0022】次に、上記入力パラメータに基づいて、表皮効果が発生する周波数 f_o を算出する。周波数 f_o は、式(2)において $\delta = 0.5t$ となる周波数として与えられる。したがって、式(2)より、周波数 f_o は、

周波数 f_o との大小に基づいて、ゲート抵抗 R_g の計算式を選択する。周波数 f が $f > f_o$ のとき、すなわち表皮効果が発生しているときには、ゲート抵抗 R_g は式

(6) によって算出する(ステップS13)。周波数 f が $f \leq f_0$ のとき、すなわち表皮効果が発生していないときには、ゲート抵抗 R_g は式(1)によって算出する(ステップS14)。

【0024】次に、ステップS13又はステップS14により求められたゲート抵抗 R_g を用い、電界効果トランジスタのSパラメータを計算する(ステップS15)。Sパラメータの演算には、例えば、集中定数型等価回路(図5)や分布定数型等価回路(図6)を用いることができる。例えば、図6に示す分布定数型等価回路によれば、ゲート電圧 V_g 及びドレイン電圧 V_d は、次の2階級微分方程式で与えられる。

$$\begin{aligned} \frac{d^2 V_g}{dx^2} &= (R_g(f) + j\omega L_g) (Y_{11} V_g(x) + Y_{12} V_d(x)) \\ \frac{d^2 V_d}{dx^2} &= (R_d + j\omega L_d) (Y_{21} V_g(x) + Y_{22} V_d(x)) \end{aligned}$$

ここで、 Y_{1j} は単位ゲート幅あたりの真性領域のYパラメータである。したがって、上記方程式と所定の境界条件を用いて計算することにより、電界効果トランジスタのSパラメータを算出することができる。

【0026】次に、Sパラメータの演算を行った周波数 f が最終値以上であるか否かを判別する(ステップS16)。周波数 f が最終値以上でなければ周波数 f を所定値だけ、例えば1GHzだけ増加してS12に進み、上記ステップS12～S16を繰り返す(ステップS17)。周波数 f が最終値以上の場合には、演算処理を終了する(ステップS18)。

【0027】このようにして電界効果トランジスタの高周波領域における表皮効果を考慮したSパラメータの周波数依存性を算出することができる。図3は、電界効果トランジスタのSパラメータ(S_{11} 成分)の周波数依存性を示すグラフである。図中、一点鎖線が本実施形態による回路シミュレーションモデルを用いた場合の計算値を、点線が経験的な関数を用いてゲート抵抗 R_g を表す従来の回路シミュレーションモデルを用いた場合の計算値を、実線が実測値を示している。

【0028】なお、実測値は、ゲート長が $0.15 \mu\text{m}$ 、ゲート幅が $80 \mu\text{m}$ であり、供給層が InGaP 層、チャネル層が InGaAs 層により構成された HEMT を用いた。周波数特性の測定には 75GHz まで測定可能なヒューレットパッカード社製ベクトルネットワークアナライザを用いた。測定条件は $V_{ds} = 2\text{V}$ 、 $V_{gs} = -0.6\text{V}$ とした。

【0029】図示するように、従来の回路シミュレーションモデルを用いた場合、約 30GHz までは精度よく近似できているが、約 30GHz 以上では誤差が大きくなっている。これに対し、本実施形態による回路シミュレーション方法を用いた場合には、約 60GHz 以上の周波数でも精度よく近似することができた。次に、本実施形態による回路シミュレーション方法を実現するため

の回路シミュレーション装置の一例について図4を用いて説明する。

【0030】図4は、本実施形態による回路シミュレーション装置を示すブロック図である。本実施形態による回路シミュレーション装置では、共通のバスライン20に各装置が接続されている。バスライン20には、CPU22と、制御プログラムを格納するためのROM24と、回路シミュレーション方法を実行するためのプログラムが格納されたRAM26と、ディスプレイ装置28と、プリンタ30と、ディスク装置32とが接続されている。

【0031】次に、本実施形態による回路シミュレーション装置の動作について説明する。まず、CPU22により、ROM24に格納された制御プログラムを実行してシステム全体を制御し、例えばディスク装置32に格納された回路シミュレーションプログラムを読み出し、RAM26に格納する。回路シミュレーションプログラムは、例えば図2に示す本実施形態による回路シミュレーション方法のフローチャートを実行するプログラムである。

【0032】次に、CPU22により、ROM24に格納された制御プログラムを実行してシステム全体を制御し、RAM26に格納されている回路シミュレーションプログラムを実行する。プログラムの実行に用いられる変数は、例えば、図示しないキーボードから入力し、或いは、ディスク装置32から読み出すことにより得ることができる。なお、RAM26は、作業領域としても使用される。

【0033】次に、CPU22により、ROM24に格納された制御プログラムを実行してシステム全体を制御し、集中定数型等価回路や分布定数型等価回路に基づいて電界効果トランジスタのSパラメータを算出するプログラムを、例えばディスク装置32から読み出し、RAM26に格納する。次に、CPU22により、ROM24に格納された制御プログラムを実行してシステム全体を制御し、本実施形態による回路シミュレーション方法のフローチャートを実行するプログラムにより与えられたゲート電極の抵抗値を参照しつつRAM26に格納されているSパラメータを算出するためのプログラムを実行し、電界効果トランジスタのSパラメータを算出する。

【0034】次に、回路シミュレーションプログラムにより得られたシミュレーション結果をディスク装置32に格納する。シミュレーション終了後、シミュレーション結果をディスプレイ装置28に表示し、必要に応じてプリンタ30より印刷出力する。こうすることにより、本実施形態による回路シミュレーションモデルを用いた回路シミュレーションを実行することができる。

【0035】このように、本実施形態によれば、高周波領域における表皮効果を考慮してゲート抵抗 R_g の求

め、この値に基づいて電界効果トランジスタのSパラメータを求めるので、経験的な成分によってゲート抵抗の合わせこみを行う従来の方法と比較して、より精度よく電界効果トランジスタのSパラメータを近似することができる。

【0036】本発明は上記実施形態に限らず種々の変形が可能である。例えば、上記実施形態では、電界効果トランジスタのSパラメータを求める際に、図5に示す集中定数型等価回路や図6に示す分布定数型等価回路を用いる例を示したが、ゲート抵抗 R_g を用いる等価回路であれば、他のいかなる等価回路にも適用することができる。

【0037】また、図6に示す分布定数型等価回路では、ゲート電極（ゲート抵抗 R_g 、ゲートインダクタンス L_g ）及びドレイン電極（ドレイン抵抗 R_d 、ドレインインダクタンス L_d ）を分布定数により表しているが、ソース電極（ソース抵抗 R_s 、ソースインダクタンス L_s ）を分布定数により表してもよい。また、ゲート電極、ドレイン電極、ソース電極のいずれか一つ或いは二つを分布定数により表してもよい。

【0038】また、上記実施形態では、T型のゲート電極に本発明を適用した場合を示したが、他の構造のゲート電極に適用することもできる。また、本発明は、高周波領域における表皮効果をゲート抵抗 R_g に反映させることを基本概念とするものであり、図2に示すフローチャートや図4に示す装置はこれらに限定されるものではない。

【0039】

【発明の効果】以上の通り、本発明によれば、電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション方法において、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮してゲート電極の抵抗値を算出し、ゲート電極の抵抗値を用いて電界効果トランジスタの周波数特性を計算することにより、高周波領域における表皮効果という物理的な効果を考慮しているので、経験的な成分によってゲート電極の抵抗値の合わせこみを行う従来の方法と比較して、より精度よく電界効果トランジスタの周波数特性を近似することができる。

【図面の簡単な説明】

【図1】電界効果トランジスタの構造及び表皮効果を説明する概略断面図である。

【図2】本発明の一実施形態による回路シミュレーション方法を示すフローチャートである。

【図3】電界効果トランジスタのSパラメータの周波数依存性を示すグラフである。

【図4】本発明の一実施形態による回路シミュレーション装置を示すブロック図である。

10 【図5】電界効果トランジスタの集中定数型等価回路を示す図である。

【図6】電界効果トランジスタの分布定数型等価回路を示す図である。

【符号の説明】

R_g …ゲート抵抗

R_d …ドレイン抵抗

R_s …ソース抵抗

L_g …ゲートインダクタンス

L_d …ドレインインダクタンス

20 L_s …ソースインダクタンス

C_{gs} …ゲートーソース間容量

C_{gd} …ゲートードレイン間容量

C_{ds} …ドレインーソース間容量

g_d …ドレインコンダクタンス

g_m …相互コンダクタンス

R_{is} …チャネル抵抗

10…半導体基板

12…コンタクト領域

14…配線領域

30 16…ゲート電極

18…電流の流れない領域

20…バスライン

22…CPU

24…ROM

26…RAM

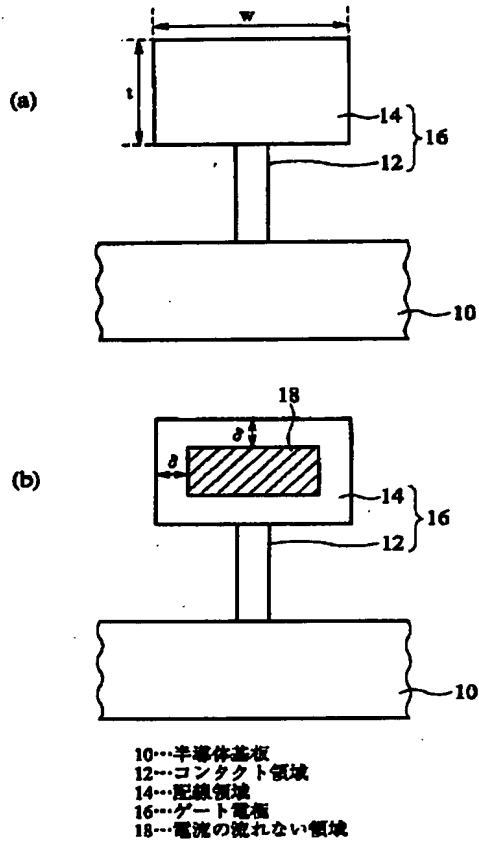
28…ディスプレイ装置

30…プリンタ

32…ディスク装置

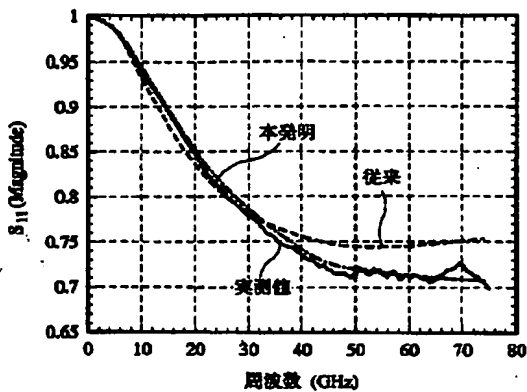
【図1】

電界効果トランジスタの構造及び表皮効果を説明する概略断面図



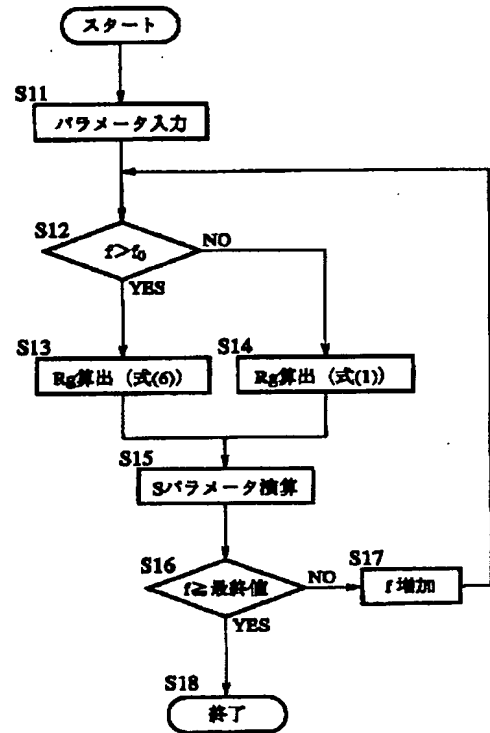
【図3】

電界効果トランジスタのSパラメータの周波数依存性を示すグラフ



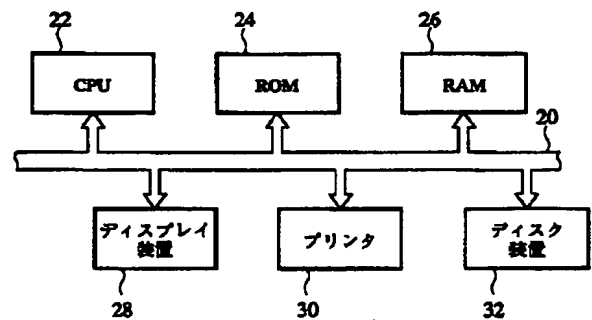
【図2】

本発明の一実施形態による回路シミュレーション方法を示すフローチャート



【図4】

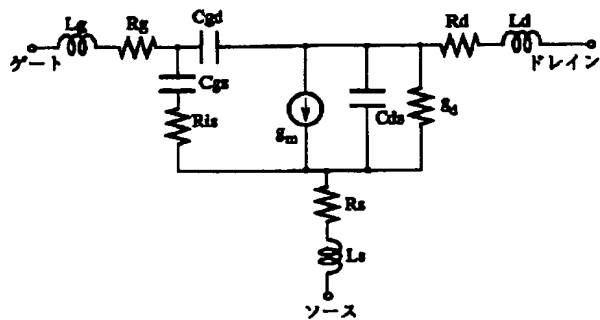
本発明の一実施形態による回路シミュレーション装置を示すブロック図



20...バスライン
22...CPU
24...ROM
26...RAM
28...ディスプレイ装置
30...プリンタ
32...ディスク装置

【図 5】

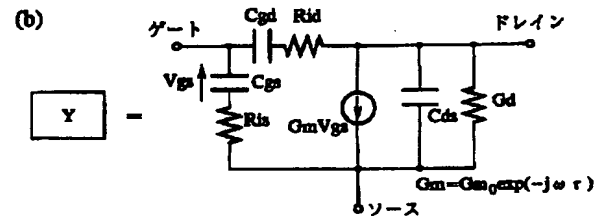
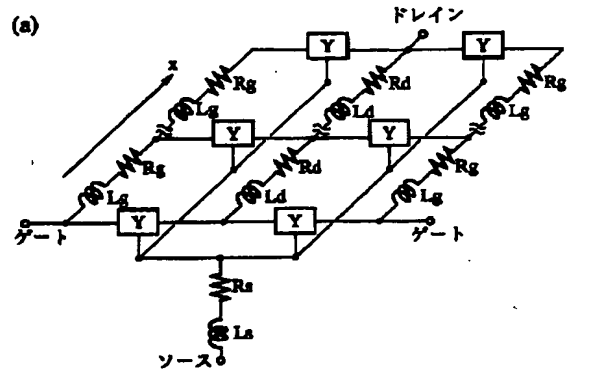
電界効果トランジスタの集中定数型等価回路を示す図



R_g ...ゲート抵抗
 R_d ...ドレイン抵抗
 R_s ...ソース抵抗
 L_g ...ゲートインダクタンス
 L_d ...ドレインインダクタンス
 L_s ...ソースインダクタンス
 C_{gs} ...ゲート-ソース間容量
 C_{gd} ...ゲート-ドレイン間容量
 C_{ds} ...ドレイン-ソース間容量
 g_m ...相互コンダクタンス
 R_{ds} ...チャネル抵抗

【図 6】

電界効果トランジスタの分布定数型等価回路を示す図



R_g ...ゲート抵抗
 R_d ...ドレイン抵抗
 R_s ...ソース抵抗
 L_g ...ゲートインダクタンス
 L_d ...ドレインインダクタンス
 L_s ...ソースインダクタンス
 C_{gs} ...ゲート-ソース間容量
 C_{gd} ...ゲート-ドレイン間容量
 C_{ds} ...ドレイン-ソース間容量
 g_m ...相互コンダクタンス
 R_{ds} ...チャネル抵抗